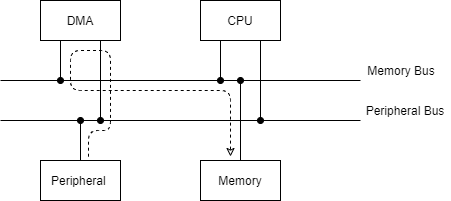
Periféricos Utilizados

1. DMA

Uma unidade de Acesso à Memória Direta (DMA) é um elemento lógico digital que pode ser usado em conjunto com o microprocessador para executar as operações de transferência de memória. Deste modo reduz-se, significativamente, a carga da unidade central de processamento (CPU). Os dispositivos compartilham o barramento de memória e os barramentos de periféricos com o processador (CPU), tal como mostrado na Figura.



Exemplo de transferência do DMA

No diagrama, o dispositivo DMA lê o valor de um periférico a partir do barramento do periférico e grava na memória através do barramento de memória. Na STM o princípio é o mesmo, mas com os vários barramentos de periféricos.

Na STM32F767ZI existem dois controladores DMA (DMA1 e DMA2) que possuem dezasseis *streams* (canais de acesso à memória) no total, oito para cada. Cada *stream* pode teraté dezasseis canais de requisição independentes, configuráveis, como apresentado na figura.

|  |
| --- |
| Uma imagem com mesa  Descrição gerada automaticamente |
| (a) |
| Uma imagem com mesa  Descrição gerada automaticamente |
| (b) |

Mapa de pedido de DMA

A priorização da *stream* pode ser definida pelo utilizador em quatro níveis: baixa, média, alta e muito alta. Além disso, cada *stream* pode ser configurada com um tamanho específico de oito, dezasseis ou trinta e dois bits. Na figura, pode constatar-se que as transferências permitidas são entre memórias, entre o periférico e a memória e entre a memória e o periférico. É de notar que apenas o controlador do DMA 2 está habilitado a executar transferências entre memórias.

Uma imagem com mesa

Descrição gerada automaticamente

Endereços da fonte e do destino

O DMA pode ser configurado em dois modos de transferência de dados: modo direto, em que a transferência de dados é feita de forma imediata, ou modo *first in first out* (FIFO)*,* em que os dados são armazenados temporariamente antes de serem transmitidos para a memória, sendo possível selecionar entre 25%, 50%, 75% ou 100% da capacidade total da FIFO. Em relação aos tamanhos dos dados, estes podem variar entre um byte, *half word* (2 *bytes* consecutivos) ou *word* (4 *bytes* consecutivos). Outras potencialidades do DMA surgem no facto de os apontadores se auto incrementarem, possibilitando a escrita de várias posições de memória consecutivas e a reprogramação ser automática, ou seja, poder usar o modo circular. De forma a inicializar o DMA entre um periférico específico e uma memória, é necessário configurar o canal apropriadamente e definir todas as configurações necessárias de acordo com a figura.

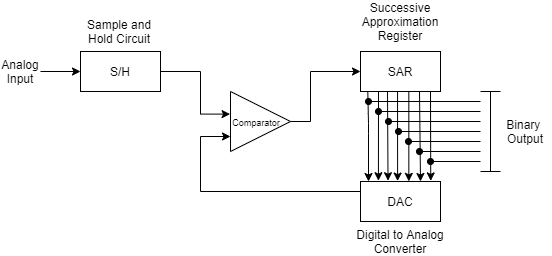
Uma imagem com mesa

Descrição gerada automaticamente

Configurações possíveis do DMA

1. ADC

Um *Analog to Digital Converter* (ADC) converte sinais analógicos em sinais digitais, permitindo aos microcontroladores comunicar com o mundo real. Deste modo, o processador consegue fazer cálculos e tomar decisões com base nos valores amostrados. A STM32F767ZI possui três ADCs de aproximação sucessiva, com dezasseis canais cada, e uma resolução, configurável, de doze, dez, oito ou seis bits. Um conversor por aproximação sucessiva (Figura) possui um comparador e um *Digital to Analog Converter* (DAC) interno para aproximar, sucessivamente, o valor de saída do ADC ao valor de entrada.



O ADC pode ser configurado em *Single-channel* ou *Multichannel* (*scan mode*). No primeiro, apenas é lido um canal, ao passo que, no segundo, são lidos vários canais sucessivamente. Além disso, pode ser configurado em *single conversion mode* e *continuous conversion mode*. No primeiro, o ADC realiza uma única conversão e armazena o resultado no registo de dados (DR). No segundo, o ADC inicializa uma nova conversão logo que a conversão em curso termine. As possíveis configurações destes modos de operação estão apresentadas na Figura.

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| (a) | (b) | (c) | (d) |

Modo de funcionamento independente (a) *Single-channel*, *single conversion mode;* (b) Multichannel*, single conversion mode; (c)* *Single-channel, continuous conversion mode;* (d) *Multichannel, continuous conversion mode*

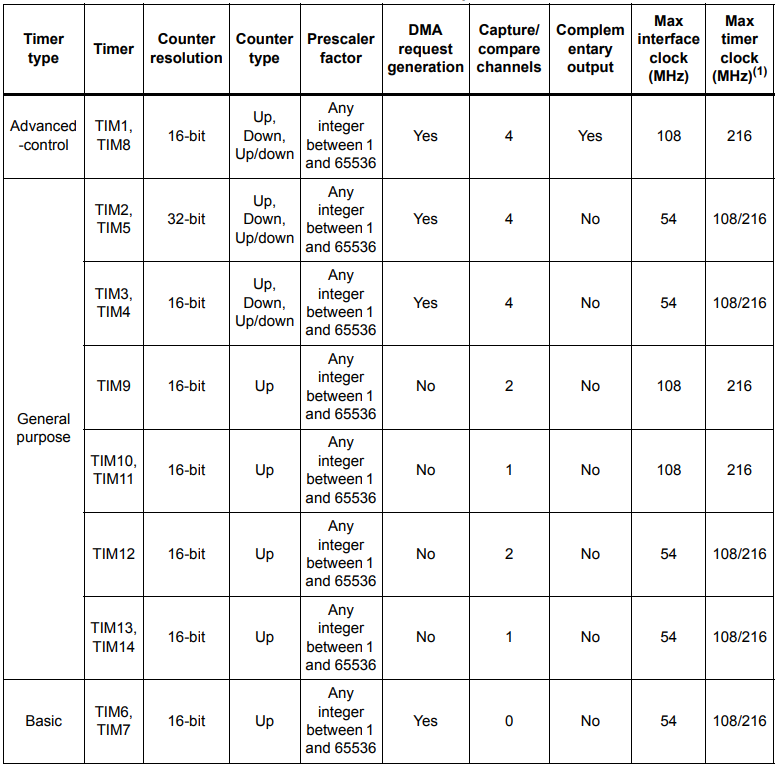
O ADC possui um único registo de dados, por isso, quando se lê múltiplas entradas analógicas, é essencial que os dados sejam lidos entre duas amostras. Isto pode ser realizado através de *polling,* interrupção ou DMA. Interrupções e DMA podem ser disparados no final de cada conversão. Quanto à gama de valores de entrada do ADC, este nunca não suporta valores de tensão negativas nem superiores a 3,3 V.

Outros modos de operação -> Dizer que não se vai especificar

1. TIMER

Um *timer* é um dispositivo de *hardware* capaz de medir uma base de tempo. Pode ser usado, por exemplo, para ativar eventos a frequências ou atrasos conhecidos, gerar sinais a várias frequências, sinais de saída modulados por largura de pulso (PWM) e medir pulsos de entrada.

A STM32F767ZI tem dois *timers* básicos (TIM6 e TIM7), oito *timers* do tipo *general-purpose* (TIM2, TIM3, TIM4, TIM5, TIM9, TIM10, TIM11, TIM12, TIM13 e TIM14) e dois *timers* do tipo *advanced-control* (TIM1 e TIM8). Os *timers* básicos são os mais simples. Consistem em contadores, com contagem crescente, de 16-bits com *auto-reload* controlados por um *prescaler* programável. Podem ser usados como *timers* genéricos para gerar bases de tempo, circuitos de sincronização para despoletar *digital to analog converters* (DAC) e gerar interrupções/DMA através de *update events*. Os *General purpose* estão divididos em vários grupos. Um dos grupos é composto pelos *timers* TIM2, TIM3, TIM4 e TIM5. Consistem em contadores, de contagem crescente, decrescente e crescente/decrescente, de 16‑bits (TIM3 e TIM4) ou 32-bits (TIM2 e TIM5) com *auto-reload* controlados por um *prescaler* programável. Cada um destes *timers* possui quatro canais independentes que podem ser configurados como *output compare, one-pulse mode output, input capture* e PWM *generation*. Podem ser usados para gerar interrupções/DMA através de *update events, trigger events, input capture events* e *output compare events.* Outro grupo é constituído pelos *timers* TIM9 e TIM12. Consistem em contadores, de contagem crescente, de 16‑bits com *auto-reload* controlados por um *prescaler* programável. Cada um destes *timers* possui dois canais independentes que podem ser configurados como *output compare, one-pulse mode output, input capture* e PWM *generation*. Podem ser usados para gerar interrupções através de *update events, trigger events, input capture events* e *output compare events.* O último grupo é constituído pelos *timers* TIM10, TIM11, TIM13 e TIM14. Consistem em contadores, de contagem crescente, de 16‑bits com *auto-reload* controlados por um *prescaler* programável. Cada um destes *timers* possui um único canal independente que pode ser configurado como *output compare, one-pulse mode output, input capture* e PWM *generation*. Podem ser usados para gerar interrupções através de *update events, input capture events* e *output compare events.* Estas informações podem ser observadas de forma mais compacta na figura



Todos os timers estão mapeados em barramentos do mapa de memória. Na tabela pode‑se ver os barramentos a que cada timer pertence, bem a frequência máxima do barramento.

Mapeamento dos *Timers*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Timer | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| APB1(108 MHz) |  | x | x | x | x | x | x |  |  |  |  | x | x | x |
| APB2(216 MHz) | x |  |  |  |  |  |  | x | x | x | x |  |  |  |

Para configurar o *timer* com a frequência desejada é necessário configurar os valores de *prescaler* de *preload*. O *prescaler* divide a frequência de oscilação do barramento, ao passo que o *preload* define o número de contagens do *timer*. Por exemplo, se o barramento tiver uma frequência de 108 MHz e o *prescaler* um valor de 108 – 1 (a contagem do registo começa em zero), a frequência do timer será de 108 MHz / 108 = 1 MHz, o que equivale a uma base de tempo de 1 us. Se o valor de *preload* for 10 – 1, o timer terá uma frequência de 1 MHz / 10= 100 KHz, ou seja, um período de 1 / 100 KHz =10 us. Tendo em conta estes parâmetros e o valor da frequência do barramento do timer em questão (figura), é possível calcular a frequência do *timer* usando a Equação.

|  |  |  |
| --- | --- | --- |
|  |  | (2.4) |

Tabela Periféricos

|  |  |  |
| --- | --- | --- |
| Configuração DMA2 (com base no stm32cube) | | |
| ADC3 | Stream | 1 |
| Direction | Peripheral to memory |
| Priority | Low |
| Mode | Circular |
| Increment Address | Memory |
| Data Witdth | Word |
| ADC2 | Stream | 2 |
| Direction | Peripheral to memory |
| Priority | Low |
| Mode | Circular |
| Increment Address | Memory |
| Data Witdth | Word |